

Nowe uniksowe serwery IBM oparte na procesorze POWER5

# Prawie jak mainframe

Unikalna koncepcja wirtualizacji, pochodząca ze świata mainframe sprawia, że po raz pierwszy nabywcy serwerów średniej klasy mają do dyspozycji tak potężną technologię, zwiększającą możliwości i wydajność.

PAWEŁ LESZEK



www.photocase.de

W lipcu 2004 roku firma IBM Polska zaprezentowała nową rodzinę maszyn opartych na najnowszych procesorach POWER5. Postawiliśmy ją przybliżyć Czytelnikom Linux Magazine, ponieważ technologia Virtualization Engine stanowi przełom technologiczny na rynku serwerów Unix. Dzięki nowym systemom eServer p5 użytkownicy systemów uniksowych będą mogli korzystać z zaawansowanych funkcji, podobnych do stosowanych w maszynach klasy mainframe. Pozwoli im to na zwiększenie stopnia wykorzystania zasobów informacyjnych oraz na podniesienie wydajności i redukcję kosztów. Dowodem na to jest fakt, że od czasu premiery POWER4 w 2001 roku architektura POWER zdobyła duży udział w rynku i zdaniem analityków (m.in. z IDC) jest obecnie czołową architekturą 64-bitową.

Nowe serwery to również dobitny przykład, jakie znaczenie ma Linux dla firmy IBM – procesory POWER5, wykorzystywane przez eServer p5, były już na etapie projektowania przygotowane do współpracy z Linuksem. Nowe maszyny IBM eServer p5 posiadają oznaczenia 520, 550 oraz 570 i są wyposażone w 2 – 16 procesorów POWER5.

Dzięki użytemu procesorowi serwery te przewyższają (przynajmniej w testach) konkurencyjne rozwiązania tej klasy, a przy tym są tańsze, porównując relację mocy obliczeniowej do ceny. Systemy eServer p5 zostały „uzbrojone” w rozwiązania i technologie zapewniające wysoką wydajność – najważniejsze z nich to:

- 1) Simultaneous Multi-Threading (SMT) wbudowany w procesorze POWER5 – symultaniczna wielowątkowość sprawia, że każdy z dwóch procesorów pracujących w układzie POWER5 może wykonywać dwa zadania jednocześnie. Dzięki temu procesor jest w stanie jednocześnie obsługiwać dwa wątki, co oznacza skrócenie czasu wykonywania operacji. SMT umożliwia wzrost wydajności o 40% na poziomie aplikacji. SMT może być dynamicznie włączane i wyłączane.
- 2) Mechanizm wirtualizacji – Virtualization Engine (VE) umożliwia podział każdego procesora na maksymalnie 10 wirtualnych serwerów, każdy działający pod kontrolą innego systemu operacyjnego. Dzięki temu możliwe jest wykorzystanie systemu na poziomie około 80%, w porównaniu ze średnią 15%, spotykaną w świecie serwerów wykorzystujących

Windows i tradycyjne systemy UNIX. To jest właśnie główny argument firmy IBM, która zauważa, że seria p5 jest niezwykle atrakcyjna cenowo, ponieważ zakup jednej maszyny p5 obsługującej VE sprawia, że nie trzeba kupować kilku serwerów do innych zadań. Większość usług można uruchamiać na jednym systemie zarządzanym centralnie.

- 3) Zarządzanie mocą obliczeniową POWER5 – umożliwia ono wyłączanie pewnych elementów jądra procesora czy pamięci podręcznej, które w danym momencie nie są używane. Pozwala to na redukcję pobieranej mocy w zależności od intensywności aktualnie wykonywanych działań. W połączeniu z technologią SMT, POWER5 potrafi wykonywać do 50% instrukcji więcej, zużywając takiej samej mocy jak w trybie single thread mode bez zarządzania zasilaniem.
- 4) Systemy operacyjne dla POWER5 – system AIX 5L 5.2 lub 5.3, IBM i5/05 (OS/400), SUSE Linux Enterprise Server 8/9, Red Hat Enterprise Linux 3.

Systemy eServer p5 są jedynymi serwerami uniksowymi, które są wyposażone w technologię partycjonowania logicznego (LPAR), umożliwiającą tworzenie do 10 wir-



Rysunek 1: Maszyna IBM eServer p5-550 w obudowie wolnostojącej.

tualnych serwerów w ramach jednego procesora POWER5. Jest to jedna z istotnych funkcji nowej serii serwerów IBM. LPAR umożliwia automatyczne przekonfigurowanie partycji w czasie poniżej jednej sekundy, dzięki czemu system może reagować elastycznie na warunki. Ta funkcja po-

zwala na uruchamianie wielu pojedynczych systemów w ramach jednej centralnie zarządzanej maszyny, zwłaszcza że oprogramowanie zarządzające może automatycznie przesuwać zasoby między maszynami w miarę zmian obciążenia.

### Dla każdego coś dobrego

Udostępnione modele rodziny eServer p5 to obecnie trzy serwery przygotowane do zróżnicowanych potrzeb – od firm sektora MSP (małe i średnie przedsiębiorstwa) po dużych klientów korporacyjnych. Najtańszy eServer p5-520 jest dwuprocesorowym serwerem wyposażonym w procesor POWER5 1,65 GHz i maksymalnie 32 GB pamięci RAM, działającym pod kontrolą systemu AIX 5L lub Linux. Model eServer p5-550 oferuje możliwość skalowania do 4 procesorów (1,65 GHz każdy) i do 64 GB pamięci oraz systemu AIX 5L lub Linux. Kolejny model w rodzinie – eServer p5-570 oferuje możliwość skalowania do 16 procesorów (1,9 GHz każdy) i pracuje z systemami AIX5L, Linux lub i5/OS (czyli kolejnej wersji OS/400). Ciekawym rozwiązaniem jest tzw. wersja *express*, przeznaczona dla małych i średnich firm – oferta ta pozwala na korzystny cenowo zakup serwera p5-570, wyposażonego w dwa procesory 1,5 GHz i do 256 GB pa-

mieci RAM, z opcją dalszej rozbudowy do ośmiu procesorów.

### Magia wirtualizacji

Technologia wirtualizacji w POWER5 pozwala na utworzenie do 10 partycji na procesor. Co więcej, wirtualizacja obejmuje nie tylko procesor, ale też mechanizmy wejścia/wyjścia (np. interfejsy sieciowe – każdy z własnym adresem MAC). Zatem partycje logiczne na maszynach p5 potrafią współdzielić połączenia sieciowe i zasoby dyskowe i nie ma potrzeby instalowania dla każdej partycji kolejnego adaptera sieciowego czy dysku.

Partycje POWER5 mogą działać pod kontrolą różnych systemów operacyjnych: począwszy od AIX-a, a kończąc na Linuksie. Nowa technologia partycjonowania (LPAR) w POWER5, została zapożyczona z maszyn klasy mainframe. Wiele jej elementów jest zaimplementowanych bezpośrednio w procesorach POWER5, co znakomicie zwiększa szybkość działania. Inaczej jest w przypadku wykorzystujących procesory Xeon maszyn xSeries – IBM używa tu oprogramowania do partycjonowania pochodzącego od firmy VMware (obecnie dział firmy EMC).

Do zarządzania mechanizmem wirtualizacji służy wydzielona stacja robocza (kom-

## Mocna „piątką”

Nowe maszyny nie miałyby takich możliwości, gdyby nie zastosowane w nich nowe procesory POWER5. Na powierzchni 389 milimetrów kwadratowych układ POWER5 zawiera 276 milionów tranzystorów, a maksymalna prędkość taktowania tego procesora to 1,9 GHz. Procesor POWER5 to trzeci już procesor IBM o konstrukcji dual-core (jeden chip zawiera dwa procesory).

POWER5 jest wykonywany w technologii 130 nanometrów w technologii SOI (Silicon-on-Insulator), który umożliwia, aby procesory wewnątrz układu były taktowane z częstotliwością 1,5 GHz, 1,65 GHz i 1,9 GHz. Układ POWER5 zawiera również 1,9 MB pamięci podręcznej poziomu L2, współdzielonej między dwa procesory składowe układu. Zarówno POWER4, jak i POWER5 korzystają z zewnętrznego układu pamięci podręcznej L3, jednak w POWER5 L3 jest połączony bezpośrednio z L2 – bez pośrednictwa kontrolera pamięci, jak w POWER4.

Dla porównania, POWER4 sprzed trzech lat miał powierzchnię 415 milimetrów kwadratowych i był wykonany w technolo-

gii 180 nanometrów, mieszcząc jedynie 170 milionów tranzystorów w jednym układzie. Dostępne były zakresy taktowania od 1 GHz przez 1,1 GHz do 1,3 GHz. Z kolei procesor POWER4+ z 2003 roku wykonany był w technologii 130 nanometrów w procesie SOI, a częstotliwość taktowania podniesiono do 1,2 GHz, 1,45 GHz, 1,7 GHz i 1,9 GHz.

Jaka jest podstawowa różnica między POWER4 a POWER5 (pomijając inną technologię produkcji)? Otóż POWER4 grupuje do pięciu instrukcji i wykonuje je w jednym cyklu zegarowym. POWER5 podwaja tę wydajność przez tworzenie dwóch grup instrukcji przetwarzanych w jednym cyklu zegarowym. Według IBM, daje to do 40% większą wydajność instrukcji SMT (Symmetric Multithreading) w stosunku do POWER4.

Przyszłość platformy POWER jest dość przejrzysta – każdego roku IBM będzie udostępniać kolejne wersje procesora: w 2005 – POWER5+; w 2006 – POWER6; w 2007 – POWER6+; w 2008 – POWER7 i w 2009 – POWER7+.



Rysunek 2: Maszyny IBM eServer p5-520 zamontowane w szafie.

## Wpływ Linuksa

Linux wywarł głębokie piętno podczas projektowania nowej serii maszyn. Dotyczy to nawet samego procesora POWER5. Dotychczas IBM stosował zasadę dostosowywania systemu operacyjnego do konkretnego procesora. W przypadku POWER5 było inaczej – na etapie projektowania procesora wprowadzono 20 poprawek, które miały umożliwić osiągnięcie przez Linuksa dobrej wydajności na tej platformie. Poprawki dotyczyły technik adresowania pamięci i sposobu blokowania dostępu do wykorzystywanych zasobów. Dzięki temu Linux działa z prędkością 90-95% prędkości systemu AIX na POWER5. Bez poprawek Linux osiągnąłby około 80% wydajności AIX-a.

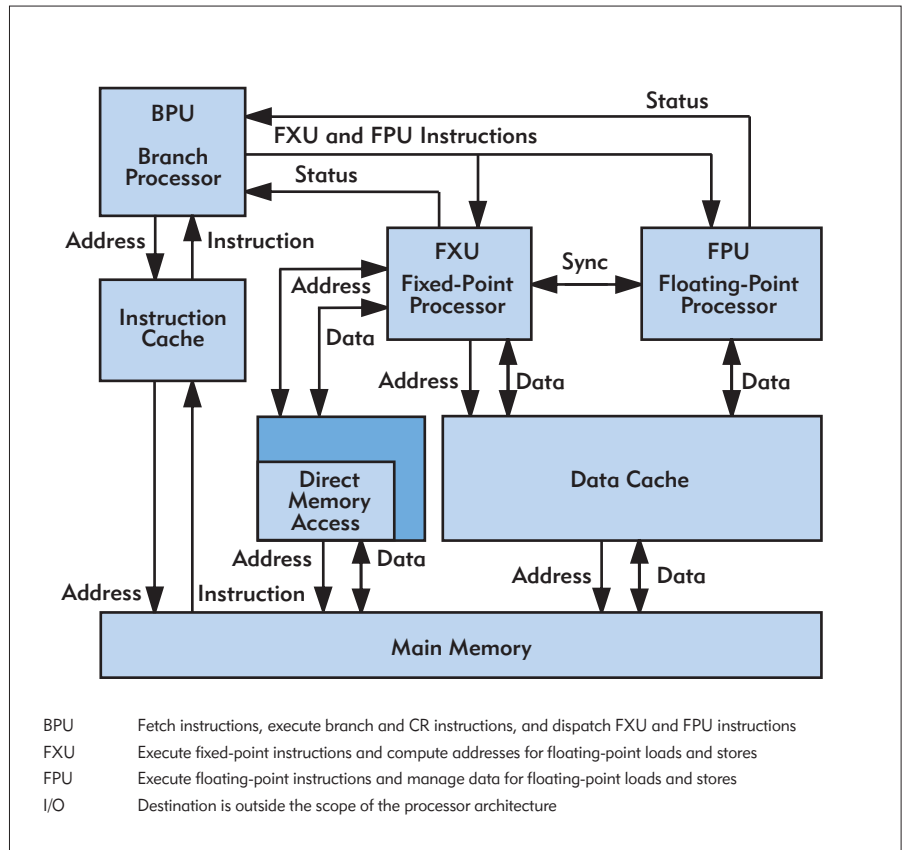
puter klasy PC z procesorem Intel). Co ciekawsze, konsola zarządzająca działa pod kontrolą Linuksa i wykorzystuje zestaw aplikacji zarządzających napisany w języku Java. Głównym zadaniem konsoli jest zapewnienie łatwej kontroli nad partycjami logicznymi oraz całą maszyną.

## Dystrybucje Linuksa dla serii p5

Dla platformy POWER dostępne są trzy dystrybucje Linuksa – TurboLinux Enterprise Server, Red Hat Enterprise Linux (RHEL) oraz SUSE Linux Enterprise Server (SLES). W dalszych opisach pominiemy TurboLinux Enterprise Server8, ponieważ dystrybucja ta używa kodu licencjonowanego z SUSE Linux, jeśli chodzi o obsługę POWER5.

Red Hat Enterprise Linux 3 (RHEL3) został udostępniony w wersji dla platformy POWER dość późno, bo w 2003 roku. RHEL3 wykorzystuje w pełni 64-bitowe jądro 2.4.21, z kilkoma poprawkami podnoszącymi wydajność na platformie POWER. Tak jak w wersji dla systemów x86 Red Hat, część nowych funkcji jądra serii 2.6 została „wstecznie” przeniesiona (backport) do 2.4 w celu przedłużenia „życia” RHEL3.

Jednym z przykładów jest biblioteka Native Posix Thread Library for Linux (NPTL). Poprzedni sposób obsługi wątków w jądrze 2.4 – Linux Threads, to tradycyjny model 1:1, który pracuje w połączeniu z programem kolejującym procesy (scheduler). Ta implementacja jest przestarzała, dlatego RHEL3 wykorzystuje model obsługi wątków, który pojawił się w serii rozwojowej jądra – 2.5 (obecny teraz w stabilnej serii 2.6).



Rysunek 3: Architektura POWER i PowerPC.

Dzięki temu osiągnięto lepszą skalowalność, szybszą obsługę wielu wątków i podniesiono wydajność obsługi aplikacji Java.

NPTL jest wciąż modelem 1:1, w przeciwieństwie do wykorzystywanego w wielu komercyjnych systemach UNIX modelu *m:n*. Jednak wydajność NPTL jest bardzo dobra, nie ustępując implementacjom komercyjnym. RHEL3 oferuje także nową, ulepszoną wersję standardowej biblioteki języka C glibc 2.3.1.

SUSE SLES8 (a wkrótce i SLES9) to najpopularniejsza dystrybucja dla platformy POWER. Zawiera ona regularnie aktualizowane, w pełni 64-bitowe jądro 2.4.21, oferuje do wyboru trzy rodzaje dziennikowych systemów plików, a w dystrybucji zawarto wiele aplikacji bazodanowych, serwerów WWW i innych (podobnie jak w RHEL3). Dostępne są też środowiska KDE i GNOME oraz większość aplikacji użytkowych. Udostępniony niedawno SLES9 oferuje natomiast jądro serii 2.6 i może działać na maszynach serii eServer iSeries i pSeries.

Ze względu na różnice w obsłudze wątków, jaką oferują RHEL3 i SLES8, całkowita zgodność binarna między dystrybucjami nie jest możliwa do osiągnięcia. Nie jest to jednak wielki problem, ponieważ przeniesienie kodu źródłowego między dystrybucjami

Linuksa jest proste – platforma POWER nie jest wyjątkiem. Tym niemniej różnice w budowie RHEL3 i SLES8 mogą mieć niekiedy pewne znaczenie, np. system plików Reiser File, dostępny standardowo w SLES8, oferuje dużą wydajność w przypadku małych plików. Dlatego SLES8 będzie lepszym rozwiązaniem w aplikacjach, które dokonują wielu operacji odczytu i zapisu na plikach mniejszych niż 1 KB. RHEL3 oferuje za to dużą wydajność wielowątkowym aplikacjom Java, dzięki wykorzystaniu NPTL.

## Kompilatory i biblioteki

Linux na platformie POWER to połączenie dwóch światów: najlepszych narzędzi Open Source dla programistów oraz wysokowydajnego sprzętu. Podstawowym kompilatorem dla Linuksa na platformie p5 jest GNU GCC (GNU C Compiler Collection). Jest to standardowy kompilator dla wszystkich architektur, na których działa Linux. GCC 3.2 może generować binaria 32- i 64-bitowe dla procesorów POWER. Zawarty w RHEL3 GCC zawiera uniwersalny kompilator dualny, gdzie użycie flagi *-m64* uruchamia kompilację 64-bitową. W przypadku SLES8 można alternatywnie używać narzędzi dla 64-bitowego GCC, przechowywanych w ka-



Rysunek 4: Historia rozwoju procesorów POWER i PowerPC.

talogu `/opt/cross`. Aby wykorzystać kompilator 64-bitowy, należy w SLES8 odpowiednio przygotować skrypt dla `configure` i plik `Makefile` albo – co jest najłatwiejsze – ustawić zmienną `CC` tak, aby wskazywała lokalizację 64-bitowego GCC.

GCC w najnowszych wersjach 3.3 i 3.4 generuje bardziej wydajny kod dla POWER5, oferując też optymalizację dla architektury sprzętowej procesora POWER. Należy jednak pamiętać, że SLES8 i RHEL3 nadal zawierają GCC 3.2, który nie oferuje takiej optymalizacji, zatem pozostaje samodzielny upgrade kompilatora i narzędzi towarzyszących (tzw. `toolchain`).

## Linux i POWER

Linux na platformie POWER oferuje wydajne środowisko, dzięki któremu migracja aplikacji na tę platformę sprzętową będzie łatwa i szybka. Linux na POWER to implementacja natywna, co oznacza, że system ten potrafi wykorzystywać całkowicie wydajność sprzętu. Co więcej, można bez problemu uruchamiać programy 32-bitowe. Poprzednie wersje najbardziej wydajnych serwerów iSeries i pSeries były niedostępne dla Linuksa, jednak dzięki pracom firm Red Hat i SUSE istnieją dwie dystrybucje dla POWER.

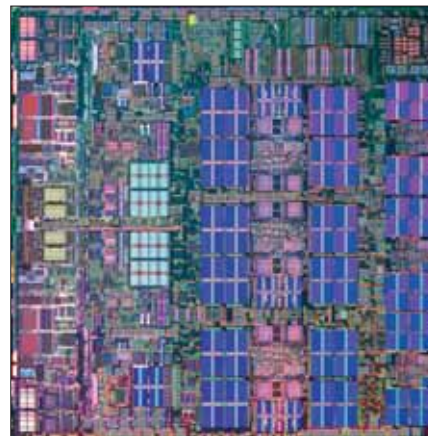
IBM przygotował też Java SDK w obydwu wersjach: 32- i 64-bitowej dla Linuksa na POWER. Obydwie dystrybucje – RHEL3 i SLES8 zawierają IBM SDK 1.4.1, który może być

wykorzystany razem z Eclipse IDE.

Wielu programistom wystarczy dostępność podstawowych narzędzi, takich jak `configure`, `gdb`, `vi` czy `Emacs`. Narzędzia GNU zostały przeniesione na platformę POWER, podobnie jak jądro systemu Linux. Dostępne są również inne programy, takie jak Eclipse czy VisualAge. Ten ostatni zawiera narzędzia do szczegółowej analizy zgodności kodu źródłowego z wymaganiami systemu 64-bitowego.

Komfort pracy podnosi też niewątpliwie obecność środowisk KDE i GNOME. Twórcy aplikacji High Performance Computing (HPC) także nie powinni narzekać na brak narzędzi. IBM udostępnia dla Linuksa na POWER biblioteki do programowania zaawansowanych obliczeń matematycznych i naukowych, jak ESSL czy P/ESSL. Ma to pomóc programistom HPC w tworzeniu aplikacji. Platforma POWER nadaje się dobrze do implementacji rozwiązań typu `grid computing`, które można budować w oparciu o Linuksa, przy wykorzystaniu narzędzi takich jak `Globus Toolkit` i `Cluster Systems Management (CSM)`.

IBM przygotował także dla RHEL3 i SLES8 pakiet `VisualAge Compiler Set`. Ten zbiór kompilatorów dla języków C, C++ i Fortran został przygotowany tak, aby wykorzystywać jak najlepiej możliwości sprzętowe POWER. Wiele programów zyskuje na wydajności nawet do 30% przez sam fakt rekompilacji kompilatorami VisualAge.



Rysunek 5: Struktura POWER5 w powiększeniu.

Optymalizacja kodu z VisualAge jest prosta, jeśli używamy predefiniowanych poziomów optymalizacji: `-O3 -qtune=auto` i `-qarch=auto`. Wybór poziomu trzeciego daje automatyczną optymalizację niezależną od chipu (ale nie od architektury). Poziom `-O4` stosuje optymalizację dostosowaną do konkretnego modelu procesora. Kod, dla którego wydajność jest kluczowa, należy najpierw poddać optymalizacji `-O3`, a dopiero potem `-O4`. Jednak flaga `-O4` na pewno zwiększy wydajność, ponieważ jest bardziej restrykcyjna, jeśli chodzi o kompatybilność binarną w ramach procesorów POWER. Binaria są mało przenośne, jednak będą bardzo dobrze przystosowane do konkretnego procesora.

Co więcej, aby uniknąć koszmaru związanego z niezgodnością bibliotek, kompilatory VisualAge dla Linuksa na platformie POWER używają biblioteki `glibc` i natywnego linkera GNU (`ld`). Dla kompilatorów GCC i VisualAge przygotowano rozbudowany zestaw opcji dla optymalizacji kompilacji. Pakiet linuksowych narzędzi programistycznych dla POWER jest dostępny bezpłatnie.

## Historia architektury POWER

W lutym 1990 roku IBM rozpoczął dostawę pierwszych maszyn serii RS/6000. By-

### Ile to kosztuje?

Nowa linia serwerów IBM eServer p5 obejmuje modele: 520, 550 i 570. Cena modelu p5-520 rozpoczyna się od poziomu 15 543 USD. Cena modelu p5-550 zaczyna się od 26 772 USD. Cena modelu p5-570 zaczyna się od 33 253 USD. Cena systemu zawiera opcjonalną licencję na system AIX 5L wraz z rocznym wsparciem.

ła to odpowiedź na potrzeby klientów, którzy chcieli mieć stacje robocze i średnie serwery oparte na systemie UNIX. Procesory wykorzystane w tej linii zapoczątkowały architekturę POWER. Architektura ta od początku posiadała wiele cech procesorów RISC (Reduced Instruction Set Computer). Instrukcje miały stałą długość 4 bajtów i było ich niewiele, dzięki czemu mechanizm dekodowania instrukcji był prosty. Procesory zawierały kilka rejestrów ogólnego użytku GPR (General Purpose Registers), wykorzystywanych do obliczeń stałoprzecinkowych. Do obliczeń zmiennoprzecinkowych używany był oddzielny zestaw rejestrów FPR (Floating-Point Registers). Wszystkie obliczenia pobierały argumenty źródłowe z jednego zestawu rejestru i umieszczały rezultaty w tym samym zestawie.

Architektura POWER wyróżnia się jednak spośród istniejących procesorów RISC tym, że jest funkcjonalnie podzielona, separując funkcje kontroli nad przepływem danych, obliczeniami stałoprzecinkowymi i zmiennoprzecinkowymi. Ta dywersyfikacja dała w rezultacie architekturę, w której instrukcje wykonywane są równolegle (Rysunek 1).

Architekci POWER wybrali zatem inną drogę niż pozostałe rozwiązania RISC (np. Sparc), których najważniejszym celem jest takie uproszczenie architektury, aby wykonanie pojedynczej instrukcji zajmowało

## Wydajność

Oczywiście każda technologia musi udowodnić swoją skuteczność. W przypadku serwerów pewną miarą jest wydajność mierzona przez przeprowadzanie standardowych testów. Dla rodziny serwerów eServer p5 testy te wypadają niezwykle korzystnie – maszyny te wyprzedziły większość konkurencyjnych maszyn w testach Transaction Processing Performance Council (TPC-C), potrzebując do tego zaledwie jednej czwartej liczby zastosowanych procesorów. Wyniki TPC-C i innych testów pochodzą z 12 lipca 2004 roku. Szczegółowe informacje na temat metodologii testowania dostępne są pod adresami [5], [6], [7] i [8]. Oto przykładowe wyniki:

1) Maszyna p5 570 z 16 procesorami POWER5 i 128 GB pamięci RAM oraz bazą DB2 osiągnęła wydajność 809 000 transakcji na minutę w teście bazodanowym TPC-C. Daje to jej trzecie miejsce wśród najszybszych maszyn nieklastrowych. Pierwsze miejsce zajmuje IBM

p690 z 32 procesorami POWER4, a miejsce drugie HP Superdome z 64 procesorami Itanium 2.

- 2) Test wydajności SAP Tier 2: system p5-570 z ośmioma procesorami osiągnął najlepszy w swojej klasie wynik w dwuzakresowym teście aplikacyjnym SAP SD Standard. Także 16-procesorowy p5-570 uzyskał w tym teście rezultat najlepszy w swojej klasie [2].
- 3) Test SPECfp\_rate2000: 8-procesorowy p5-570 ustanowił rekord jako najszybsza maszyna z ośmioma procesorami – okazał się lepszy od systemu HP PA-RISC o 298% [3].
- 4) Test SPEC OMP2001: 16-procesorowy IBM eServer p570 okazał się rekordzistą prędkości wśród maszyn 16-procesorowych – był szybszy od 16-procesorowego HP Superdome o 335% [4].

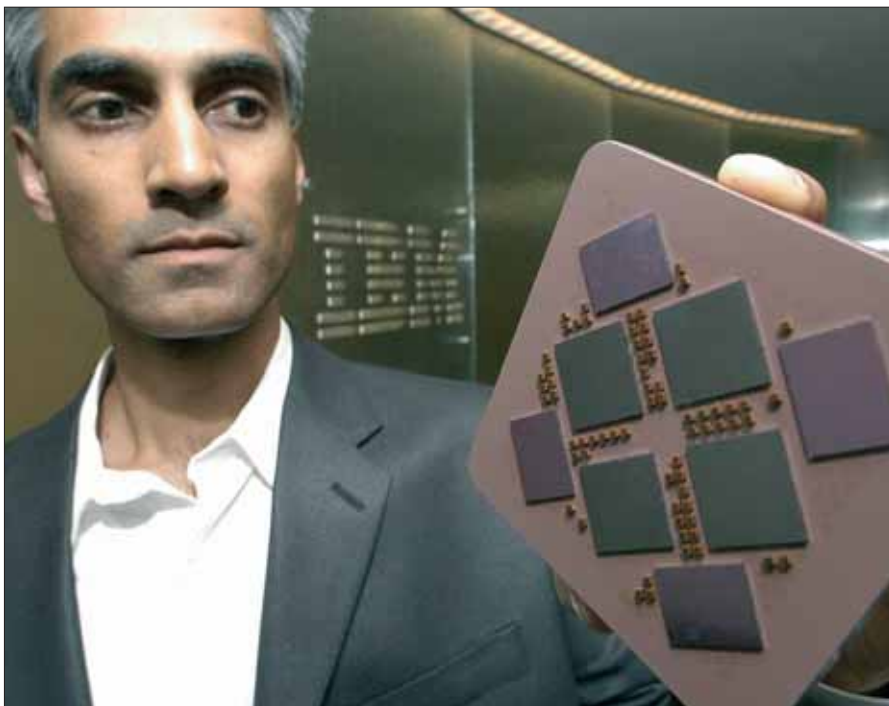
jak najmniej czasu. Tymczasem projektanci POWER za priorytet wybrali minimalizację całkowitego czasu wymaganego do zakończenia zadania, wychodząc z założenia, że szybkość wykonania instrukcji jest wynikową kilku elementów, takich jak ilość cykli procesora potrzebnych do wykonania instrukcji oraz czas trwania jednego cyklu zegarowego.

Już pierwsze implementacje architektury

POWER zapewniały wyjątkowo wysoką wydajność. Zespół procesora (kontroler pamięci, pamięć podręczna dla instrukcji i pamięć podręczna dla danych) składał się z 7-9 układów fizycznych (chip) – w zależności od modelu. Moduł siedmioukładowy zawierał 32 KB pamięci podręcznej dla danych, a moduł dziewięcioukładowy 64 KB pamięci podręcznej na dane. Obydwa modele zawierały 8 KB pamięci podręcznej dla instrukcji (później rozszerzono ją do 32 KB).

Druga wersja procesorów POWER skoczyła z postępów technologii produkcji, które umożliwiły projektantom umieszczenie ponad miliona tranzystorów w jednym układzie tzw. RISC Single Chip (RSC) umieszczono jednostkę sterującą, jednostkę stałoprzecinkową i zmiennoprzecinkową, zuniifikowaną pamięć podręczną, kontroler pamięci oraz kontroler I/O. Zmniejszone koszty produkcji (dzięki podejściu – jeden procesor to jeden układ) sprawiły, że procesory te były wykorzystywane nawet w komputerach typu workstation. Dostawy POWER2 rozpoczęto w kwietniu 1992 roku. Struktura POWER2 zwiększyła zdecydowanie wydajność architektury przez podwojenie ilości jednostek wykonawczych.

Warto pamiętać, że już w 1990 roku na rynku było dostępnych pięć architektur RISC, jednak żadna z nich nie nadawała się praktycznie do zastosowania w rozwiązaniach typu desktop. Dlatego ze względu na



Rysunek 6: Szef naukowców IBM, Ravi Arimilli, trzyma moduł procesora POWER5.



Rysunek 7: Procesor PowerPC 970FX stosowany w komputerach Macintosh G5 i XServe.

nacisk rynku firmy Apple, Motorola i IBM rozpoczęły współpracę, która stworzyła nowe procesory dla rynku konsumenckiego, wywodzące się z architektury POWER.

### Mniejszy brat – PowerPC

Z początkiem 1991 roku inżynierowie z trzech koncernów rozpoczęli prace nad nową rodziną procesorów. Opracowano kilka ambitnych założeń architektury PowerPC:

- przedstawienie szerokiego wachlarza procesorów PowerPC – od zastosowań w kontrolerach przemysłowych po rozwiązania high-performance,
- stworzenie architektury 64-bitowej, która zawierałaby podzbiór architektury 32 bitów dla obsługi binariów kompilowanych na starsze platformy,
- obsługa systemów wieloprocesorowych i uproszczenie architektury w celu ułatwienia budowy aplikacji i rozwiązań sprzętowych na rynek konsumencki.

Poprzez szczegółową analizę potrzeb aplikacji i systemów operacyjnych opracowano pewien konsensus. Dla oszczędności kosztów i czasu, jako podstawę do budowy PowerPC wykorzystano procesory POWER. Powstała popularna rodzina procesorów PowerPC, która przeznaczono-

na jest na rynek konsumencki – szczególnie do komputerów typu desktop. Architektura PowerPC wykorzystuje większość instrukcji POWER, a te z nich, które nie są bezpośrednio obsługiwane, kompilator może zastąpić blokiem emulujących je instrukcji standardowych.

Procesory PowerPC są zbudowane w architekturze 64-bitowej. Ta architektura rozszerza sposób adresowania i obliczenia na liczbach stałoprzecinkowych do 64 bitów i obsługuje dynamiczne przełączanie między trybami 64- i 32-bitowym. Dowolny 64-bitowy procesor PowerPC będzie potrafił wykonać binaria skompilowane dla architektury 32-bitowej.

W niektórych zastosowaniach PowerPC okazał się bardziej elastyczny niż POWER. Przykładem jest taktowanie procesora. W rozwiązaniach typu desktop mamy do czynienia z systemami zarządzania energią, a procesory są często taktowane z częstotliwością, która może być niecałkowitą wielokrotnością zegara systemowego. Dostosowanie procesorów POWER do takich warunków byłoby skomplikowane i kosztowne, natomiast PowerPC był projektowany od początku z takim założeniem.

Model odwołań do pamięci w POWER stosuje tzw. big-endian (tj. zawiera na po-

czątku najbardziej znaczący bit lub bajt), natomiast najnowsze wersje PowerPC mogą pracować zarówno w trybie big-endian, jak i little-endian (tj. zawiera na początku najbardziej znaczący bit w najwyższym adresie). Wybór trybu jest kontrolowany przez oprogramowanie.

PowerPC oferuje większą elastyczność zarządzania pamięcią, ale podobnie jak POWER wymaga, aby to oprogramowanie czuwało nad spójnością pamięci instrukcji z pamięcią danych. PowerPC zawiera też pięć dodatkowych instrukcji związanych z zarządzaniem pamięcią podręczną. Generalnie PowerPC jest lepiej przystosowany do szybkiego rozwoju oprogramowania i jest tańszym rozwiązaniem w przypadku aplikacji typu desktop.

Najszybsze procesory PowerPC 970, stosowane w najnowszych maszynach Apple (G5), wywodzą się z POWER4, zatem można się spodziewać, że w niedługim czasie powstanie nowa generacja procesora dla komputerów Macintosh na bazie POWER5. PowerPC 970 bazuje tylko na jednym układzie logicznym z POWER4 i zawiera kilka innych uproszczeń. Z kolei procesor POWER5 jest przeznaczony wyłącznie na rynek serwerowy. Mimo wykorzystania nowoczesnej technologii produkcji, jeden układ zawierający 276 milionów tranzystorów ma powierzchnię 389 milimetrów kwadratowych, to prawie cztery razy tyle co popularny procesor PowerPC 970. ■

### INFO

- [1] Informacje na temat architektury POWER:  
<http://www.ibm.com/technology/power/>
- [2] Społeczność POWER:  
[https://www-306.ibm.com/chips/power/join\\_community.html](https://www-306.ibm.com/chips/power/join_community.html)
- [3] Linux na platformie POWER:  
<http://www.ibm.com/servers/eserver/linux/power/>
- [4] Pakiet POWER Architecture Pack:  
[https://www-306.ibm.com/chips/power/download\\_ppack.html](https://www-306.ibm.com/chips/power/download_ppack.html)
- [5] Testy TPC: <http://www.tpc.org>
- [6] Benchmarki SAP:  
<http://www.sap.com/benchmark/>
- [7] Test Linpack:  
<http://www.netlib.org/benchmark/performance.pdf>
- [8] Testy SPEC: <http://www.spec.org>